

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-004126

(43)Date of publication of application : 06.01.1998

(51)Int.CI. H01L 21/60
H01L 23/12
H05K 3/32
H05K 3/46

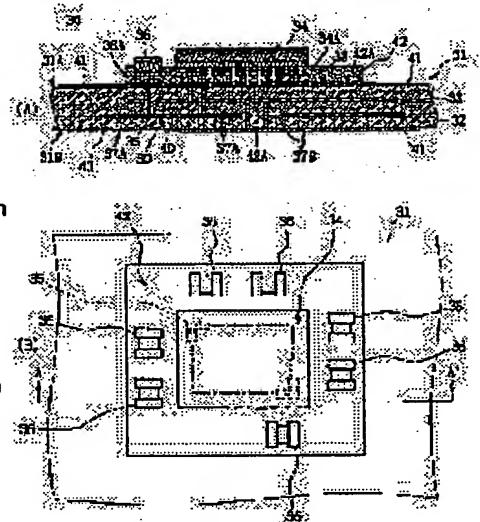
(21)Application number : 08-175646 (71)Applicant : SONY CORP
(22)Date of filing : 14.06.1996 (72)Inventor : OKUHORA AKIHIKO

(54) MOUNTING BOARD, ELECTRONIC COMPONENT MOUNTING, AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable practically sufficient reduction in layout spacing between electronic components at a point where noise prevention and high-density mounting are to be performed.

SOLUTION: Electrodes 35, 36A of electronic components 34, 36 are joined with lands 37A of a wiring board 31 via an anisotropic conductive member 42, and the electronic components 34, 36 and the wiring board 31 are held in an integral manner. Thus, since the spacing between the electronic components 34, 36 does not depend upon the cutting accuracy of the anisotropic conductive member 42 or the positioning accuracy with respect to the wiring board 31, the layout spacing between the electronic components 34, 36 may be significantly reduced. Thus, a mounting board, an electronic component mounting method and a semiconductor device which enable high-density mounting may be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The mounting substrate characterized by having the anisotropy conductive member which holds each above-mentioned electronic parts and the above-mentioned wiring substrate to one while joining two or more electronic parts, the wiring substrate with which the land corresponding to each electrode of two or more above-mentioned electronic parts was prepared in one field, and each above-mentioned electrode of each above-mentioned electronic parts to the above-mentioned land to which a wiring substrate corresponds, respectively.

[Claim 2] The mounting substrate according to claim 1 characterized by having insulating resin which covers the field [in which each above-mentioned electrode of each above-mentioned electronic parts is prepared], and field side which counters.

[Claim 3] The electronic-parts mounting approach characterized by to have the 1st process which produces the wiring substrate with which made each electrode of two or more electronic parts correspond, and a land was prepared in one field, and the 2nd process which hold the electronic parts and the above-mentioned wiring substrate of the above-mentioned plurality to one through the above-mentioned anisotropy conductive member while joining each above-mentioned electrode of two or more above-mentioned electronic parts to the above-mentioned land to which the above-mentioned wiring substrate corresponds through an anisotropy conductive member, respectively.

[Claim 4] The electronic-parts mounting approach according to claim 3 characterized by having the 3rd process which therefore covers two or more above-mentioned electronic parts to the insulating resin concerned by dropping insulating resin from the field [in which each above-mentioned electrode of each above-mentioned electronic parts is prepared], and field side which counters.

[Claim 5] The semiconductor device characterized by to have the anisotropy conductive member which holds each above-mentioned electronic parts and the above-mentioned wiring substrate to one in the semiconductor device mounted in one field of a wiring substrate while joining two or more electronic parts, the wiring substrate with which the land corresponding to each electrode of two or more above-mentioned electronic parts was prepared in one field, and each above-mentioned electrode of each above-mentioned electronic parts to the above-mentioned land to which a wiring substrate corresponds, respectively.

[Claim 6] The semiconductor device according to claim 5 characterized by having insulating resin which covers the field [in which each above-mentioned electrode of each above-mentioned electronic parts is prepared], and field side which counters.

[Claim 7] The above-mentioned wiring substrate is a semiconductor device according to claim 5 characterized by having the land prepared in the field of another side, and the electrical connecting means established on the above-mentioned land.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Table of Contents] This invention is explained in order of the following.

The technical field Prior art to which invention belongs (drawing 7 and drawing 8)

The 1st example of a gestalt (1) of implementation of technical—problem The means for solving a technical problem invention which invention tends to solve (drawing 1 and drawing 2)

(2) The 2nd example (drawing 3)

(3) Other examples (drawing 4 – drawing 6)

Effect-of-the-invention [0002]

[Field of the Invention] This invention is applied to one the mounting substrate and the electronic—parts mounting approach of coming to mount a bare chip and a chip in a field, and semiconductor device of a multilayer—interconnection substrate, concerning a mounting substrate, the electronic—parts mounting approach, and a semiconductor device, and is suitable.

[0003]

[Description of the Prior Art] Conventionally, in information processors, such as an engineering workstation (Engineering Work Station, EWS) and a personal computer, ***** and this kind of information processor has been miniaturized by improvement in a semi-conductor integration technique and mounting technology at the same time the throughput is therefore improving to promotion of parallel-processing—izing, and improvement in the speed of a clock rate.

[0004] Moreover, in this kind of information processor, the amount of information to deal with increased and the ***** system clock is also accelerated to this. Furthermore, ***** is used for improvement in information communication link (network) techniques, such as a cellular phone, ISDN (Integrated Services Digital Network, comprehensive digital communication service network), and a personal computer, and a high frequency communication link block, velocity-of-light serial interface, etc. are used for various devices.

[0005] Thus, especially, by the information processing field or information and communication fields, the ***** system is changing to informational digitization and improvement in the speed of a signal, and the reduction in a noise in the high frequency circuit block used for devices, such as the above personal computers, and a miniaturization of a device are desired. In order to realize such a request, bare chip mounting of a multi chip module (Multichip Module, MCM), flip chip mounting, etc. is used as the mounting approach of a semiconductor chip.

[0006] Usually, it sets to flip chip mounting using a bare chip. After forming the bump who becomes with solder etc., respectively on two or more electrodes (this is hereafter called a pad) formed in the circuit side of the bare chip concerned, By making the circuit side of a bare chip, and one field of a mother board counter, and joining each bump of a bare chip to the corresponding land arranged in one field of a mother board, respectively, it is made as [mount / in one field of the mother board concerned / a bare chip].

[0007] In addition, as a mother board in which a bare chip is mounted, the multilayer—interconnection substrate with which it comes to carry out laminating formation of the predetermined circuit pattern

layer which becomes with copper etc., and the polyimide layer one by one is usually used for one field of the multilayer-interconnection substrate with which it comes to carry out laminating formation of ceramic substrates, such as a multilayer-interconnection substrate with which it comes to carry out the laminating of organic substrates, such as glass epoxy or glass polyimide, and the predetermined circuit pattern one by one, an alumina, or a mullite, and the predetermined circuit pattern one by one, or a silicon substrate.

[0008] By forming the bump who becomes with high-melting solder on the pad of a bare chip as mounting by this flip chip, and performing a solder precoat on a mother board The solder flip chip method which connects each pad of a bare chip, and each land to which a mother board is equivalent, After using the Au(gold) wirebonding method, forming Au bump on each pad of a bare chip and only optimum dose's imprinting conductive pastes, such as Ag (silver) paste, on a bump, there is the conductive resin flip chip method which mounts a bare chip directly on a mother board.

[0009] An example of the mounting substrate with which the bare chip was therefore mounted in solder flip chip mounting here in one field of a mother board is shown in drawing 7. As shown in drawing 7 (A) and drawing 7 (B), it sets to this mounting substrate 1. The pad 3 prepared in the outermost periphery of circuit side 2A of a bare chip 2 at the ***** predetermined pitch, [two or more] When the land 5 prepared in one field 4A of a mother board 4 corresponding to each [these] pad 3 joins through the bump 6 who becomes with high-melting solder, the bare chip 2 is mounted in one field 4A of the mother board 4 concerned. Moreover, therefore in this mounting substrate 1, the chip 7 which are noise cure components, such as resistance and a capacitor, is mounted in the land 5 corresponding to solder 8 in one field 4A of a mother board 4.

[0010] In this case, it comes by turns to carry out laminating formation of the predetermined circuit pattern layer 10 which a mother board 4 becomes with a ceramic substrate 9, copper, etc., and solder resist 11 is formed in the predetermined field of one field 4A of the mother board 4 concerned, and field 4B of another side. Moreover, on each land 5 of one field 4A of a mother board 4, the solder precoat layer 12 which becomes with eutectic solder is formed. Thereby, in this mounting substrate 1, at the time of a reflow, a reflow of the solder precoat layer 12 is carried out at the temperature which is extent which does not fuse high-melting solder and eutectic solder fuses, and joining of the fused solder precoat layer 12 is carried out to each bump 6.

[0011] Moreover, in this mounting substrate 1, after a bare chip 2 is mounted in one field 4A of a mother board, the gap between one field 4A of the mother board 4 concerned and circuit side 2A of a bare chip 2 is filled up with insulating resin 13, and the closure of the bare chip 2 is carried out. It is made as [prevent / each bump's 6 breakage produced when it originates in the difference in the coefficient of thermal expansion of a mother board 4 and a bare chip 2 and stress concentrates on each bump 6 by this].

[0012] As shown in drawing 7 (B), when insulating resin 13 is enclosed with the perimeter of a bare chip 2 here, the element-placement keepout area 14 for preventing that a chip 7 therefore fixes to insulating resin 13 is formed. In this case, since it becomes enclosure opening which encloses the insulating resin 13 concerned, element-placement keepout area 14A of the side which encloses insulating resin 13 is formed greatly.

[0013] However, since it is necessary to form the element-placement keepout area 14 as mentioned above when it is flip chip mounting which therefore needs to close a bare chip 2 to insulating resin 13 in this way, arrangement spacing of that part bare chip 2 and chip 7 becomes large, and while packaging density falls as a result, there is a possibility of spoiling reduction-ization of a noise. Since the decoupling capacitor and terminator which are noise cure components are mounted at a bare chip 2 in many cases especially in the case of a digital circuit, while packaging density falls to a ***** case flip chip mounting which needs the closure by insulating resin 13, there is a possibility of spoiling reduction-ization of a noise.

[0014] Then, the flip chip mounting method using the anisotropy electric conduction film (Annisotropic

Conductive Film, ACF) as one approach for solving such a problem is proposed. It is shown in drawing 8 which attaches the same sign and shows an example of the mounting substrate using an anisotropy electric conduction film (adhesives) to a corresponding point with drawing 7 here.

[0015] In this mounting substrate 20 on each pad 3 for example, circuit side 2A of the bare chip 2 with which the Au bump 21 was formed using the Au wirebonding method As opposed to the anisotropy electric conduction film 22 pasted up so that each land 5 prepared in one field 4A of a mother board 4 corresponding to the pad 3 might be covered For example, per [5-100] the sticking-by-pressure temperature of 100-240 [**], the sticking-by-pressure time amount of 50-40 [a second], and one bump By carrying out thermocompression bonding by the pressure of [g], the bare chip 2 is mounted in one field 4A of a mother board 4.

[0016] In this case, in the bare chip 2, on each pad 3 prepared in circuit side 2A, the BLM (Ball Limiting Metal) membrane layer 23 which comes to carry out laminating formation of the metal coat layer which becomes with titanium, platinum, and gold one by one is formed, and the Au bump 21 is formed on each BLM membrane layer 23 concerned, respectively. This BLM membrane layer 23 is made as [prevent / the diffusion to the Au bump's 21 pad 3]. It is made here as [join / the land 5 to which a mother board 4 is equivalent / to each pad 3 of a bare chip 2 / electrically] by being joined to each land 5 of a mother board 4 through conductive particle 22A by which each bump 21 was distributed by homogeneity in the anisotropy electric conduction film 22 in this mounting substrate 20.

[0017]

[Problem(s) to be Solved by the Invention] By the way, by the flip chip mounting method using this anisotropy electric conduction film, if the noise cure chip 7 is arranged as much as possible near the bare chip 2 in case alignment of the anisotropy electric conduction film 22 is carried out to one field 4A of a mother board 4 and temporary attachment is performed, it will be thought that reduction-ization of high density assembly and a noise is realizable.

[0018] However, while cutting out the anisotropy electric conduction film 22 from a big anisotropy electric conduction film so that the location of the periphery section of an anisotropy electric conduction film may be arranged between a bare chip 2 and a chip 7 when it therefore mounts a bare chip 2 and a chip 7 in the approach of starting at a mother board 4, the end ***** anisotropy electric conduction film 22 must be positioned to a mother board 4. In this case, the bare chip 2 and chip 7 which adjoin each other mutually The dimension error produced in case the anisotropy electric conduction film 22 of the magnitude corresponding to each bare chip 2 is cut out from a big anisotropy electric conduction film. The locational error at the time of pasting up the cut-off anisotropy electric conduction film 22 concerned on one field 4A of a mother board 4 is taken into consideration. A problem with it difficult [to have to arrange at bigger spacing than these dimensions error and a locational error, and to fully bring practically arrangement spacing of a bare chip 2 and a chip 7 close in the cure against a noise and the point which carries out high density assembly] is *****.

[0019] This invention was made in consideration of the above point, and tends to propose the mounting substrate, the electronic-parts mounting approach, and semiconductor device which can carry out high density assembly.

[0020]

[Means for Solving the Problem] In order to solve this technical problem, while joining each electrode of each electronic parts to the land to which a wiring substrate corresponds, respectively through an anisotropy conductive member in this invention, each electronic parts and a wiring substrate are held to one. Since each electronic parts are arranged on an anisotropy conductive member, it cannot be dependent on the cutoff precision of an anisotropy conductive member, and the positioning accuracy over a wiring substrate, and spacing of each electronic parts can narrow arrangement spacing of each electronic parts sharply.

[0021]

[Embodiment of the Invention] About a drawing, one example of this invention is explained in full detail

below.

[0022] (1) In 1st example drawing 1, 30 shows a mounting substrate as a whole, and it comes to carry out laminating formation of the circuit pattern layer 33 the glass epoxy group plate 32 and predetermined in a mother board 31 by turns. Land 37A corresponding to electrode 36A prepared in one field of the chip 36 as each pad 35 prepared in circuit side 34A of the bare chip 34 as electronic parts and electronic parts arranged around the bare chip 34 concerned is formed in one field 31A of this mother board 31 by etching for example, Cu (copper) foil, respectively. Moreover, two or more land 37B is formed by etching for example, Cu foil also into field 31B of another side of a mother board 31.

[0023] Moreover, on each land 37A, (Nickel nickel) / golden (Au) plating layer 38 is formed, and while reducing connection resistance with the Au bump 40 and land 37A which were formed through the BLM membrane layer 39 on each putt 35 of a bare chip 34 by this, it is made as [raise / the conductivity of the Au bump 40 and land 37A]. Moreover, solder resist 41 is formed in the predetermined field of one field 34A of a mother board 34, and field 34B of another side.

[0024] In circuit side 34A of a bare chip 34, they are ******, for example, aluminum, and AlSi to the outermost periphery of the circuit side 34A concerned. Or AlSi Cu Two or more becoming pads 35 are formed (drawing 1 (B)), and the BLM membrane layer 39 is formed on each pad 35 concerned, respectively. Moreover, on the BLM membrane layer 39, the Au bump 40 is formed, respectively, and this BLM membrane layer 39 is made as [prevent / the diffusion to the Au bump's 40 pad 35].

[0025] One field 31A of a mother board 31 is pasted here so that the anisotropy electric conduction film 42 of the shape of an adhesive film which becomes by predetermined thickness may cover each land 37A, and this anisotropy electric conduction film 42 is made as [hold / to one / a mother board 31, a bare chip 34, and a chip 36]. Into this anisotropy electric conduction film 42, conductive particle 42A of the grabby diameters about 2–10 [mum] carried out, such as Au and nickel, is distributed by the plastic bowl at homogeneity, and each bump 35 of a bare chip 34 and electrode 36A of a chip 36 are electrically joined to land 37A to which a mother board 31 corresponds through this conductive particle 42A.

[0026] Moreover, as shown in drawing 1 (B), the magnitude of the anisotropy electric conduction film 42 is selected by the magnitude which can mount the chip 36 arranged around a bare chip 34 and the bare chip 34 concerned in one field 31A of a mother board 31 through the anisotropy electric conduction film 42 concerned.

[0027] The process which mounts a bare chip 34 and a chip 36 in one field 31A of a mother board 31 here is shown in drawing 2. On the BLM membrane layer 39 of each pad 35 first prepared in circuit side 34A of a bare chip 34, for example, a wirebonding tool is used and the Au bump 40 is formed. Then, after producing a mother board 31, where field 31B of another side of the mother board 31 concerned is therefore supported to the predetermined means for supporting 43, temporary attachment of the anisotropy electric conduction film 42 set to one field 31A of a mother board 31 in predetermined magnitude which covers each land 37A is carried out. In this case, temporary attachment of the anisotropy electric conduction film 42 concerned is carried out at one field 31A of a mother board 31 at the temperature below the glass transition point temperature of the anisotropy electric conduction film 42 (drawing 2 (A)).

[0028] Then, while adsorbing field 34B of another side which counters circuit side 34A of a bare chip 34 with the predetermined adsorber 44 and making circuit side 34A of a bare chip 34 counter one field 31A of a mother board 31 After positioning each pad 35 of a bare chip 34 to each land 37A to which a mother board 31 corresponds, Per [5–100] the sticking-by-pressure temperature of 100–240 [**], the sticking-by-pressure time amount of 5–40 [a second], and one bump Thermocompression bonding of the bare chip 34 is carried out to the anisotropy electric conduction film 42 on the thermocompression bonding conditions of the pressure of [g] extent (drawing 2 (B)).

[0029] Next, after positioning electrode 36A of a chip 36 to land 37A to which a mother board 31 corresponds, the chip 36 concerned is made to fix to one field 31A of a mother board 31 by carrying out thermocompression bonding of the chip 36 to the anisotropy electric conduction film 42 using the tool

(not shown) which has a heating head on above-mentioned thermocompression bonding conditions (drawing 2 R>2 (C)). Bengbu 39 established in each pad 35 of a bare chip 34 at this time and electrode 36A of a chip 36, and land 37A to which a mother board 31 corresponds are electrically joined through conductive particle 42A which exists in the anisotropy electric conduction film 42. It is mounted in one field 31A of a mother board 31 mechanically [a bare chip 34 and a chip 36] and electrically in this way. [0030] In the above configuration in this mounting substrate 30 Since the location of the periphery section of the anisotropy electric conduction film 42 can be arranged on the outside of a chip 36 by having arranged the bare chip 34 and the chip 36 on the anisotropy electric conduction film 42 The positioning accuracy at the time of pasting up the cutoff precision at the time of cutting out the anisotropy electric conduction film 42 from one big anisotropy electric conduction film and the end ***** anisotropy electric conduction film 42 concerned to a mother board 31 can be sharply eased as compared with the conventional mounting substrate 20. Therefore, since it does not depend for spacing of a bare chip 34 and a chip 36 on the cutoff precision of the anisotropy electric conduction film 42, and the positioning accuracy over a mother board 31, as compared with the conventional mounting substrate 20, spacing of a bare chip 34 and a chip 36 can be narrowed sharply.

[0031] Moreover, in this mounting substrate 30, since a bare chip 34 and a chip 36 can be mounted in a mother board 31 by the same approach by having arranged the bare chip 34 and the chip 36 on the anisotropy electric conduction film 42, while being able to simplify a mounting process as compared with the case where a chip is mounted, by the approach that a bare chip is separate, like the conventional mounting substrates 1 and 20, mounting time amount can be shortened.

[0032] Moreover, since a bare chip 34 and a chip 36 are electrically connected with land 37A to which a mother board 31 corresponds through conductive particle 42A in the anisotropy electric conduction film 42, a bare chip 34 and a chip 36 are connectable with this mounting substrate 30 by land 37A and low resistance to which a mother board 31 corresponds. Moreover, in this mounting substrate 30, while being able to lightweight-ize the part and the mounting substrate 30 which are not using solder by having arranged the bare chip 34 and the chip 36 on the anisotropy electric conduction film 42, in case disposal of the mounting substrate 30 concerned is carried out, abandonment of solder can be prevented.

[0033] Furthermore, with this mounting substrate 30, since the nickel/Au plating layer 38 is formed on each land 37A prepared in one field 31A of a mother board 31, while being able to reduce connection resistance with a bare chip 34 and a chip 36, and a mother board 31, conductivity with electrode 36A of each pad 35 of each land 37A of a mother board 31 and a bare chip 34 and a chip 36 can be raised.

[0034] While joining each pad 35 of a bare chip 34, and electrode 36A of a chip 36 to the land to which a mother board 31 is equivalent through the anisotropy electric conduction film 42, respectively according to the above configuration By having held the bare chip 34 and the chip 36, and the mother board 31 to one through the anisotropy electric conduction film Since the positioning accuracy at the time of pasting up the cutoff precision at the time of cutting out the anisotropy electric conduction film 42 from one big anisotropy electric conduction film and the end ***** anisotropy electric conduction film 42 concerned to a mother board 31 can be sharply eased as compared with the conventional mounting substrate 20 Spacing with the chip 36 arranged around a bare chip 34 and the bare chip 34 concerned as compared with the conventional mounting substrate 20 can be narrowed sharply. Moreover, since a bare chip 34 and a chip 36 can be mounted to a mother board 31 by the same approach, a mounting process can be simplified. The mounting substrate 30 and the mounting approach of a low noise which can therefore carry out high density assembly to a simple process in this way are realizable.

[0035] (2) In drawing 3 which attaches and shows the same sign to a corresponding point with 2nd example drawing 1 , 50 shows a semiconductor device as a whole, and consists of chip-size packages with which the bare chip 31 and the chip 36 were mounted in one field 53A of the multilayer-interconnection substrate 53 with which it comes to carry out laminating formation of the glass epoxy group plate 51 and the predetermined circuit pattern layer 52 by turns through the anisotropy electric conduction film 42.

[0036] While this semiconductor device 50 is electrically joined to corresponding land 54A by which the Au bump 39 and electrode 36A of a chip 36 which were prepared on each pad 35 of a bare chip 34 were prepared in one field 53A of the multilayer-interconnection substrate 53 through conductive particle 42A which exists in the anisotropy electric conduction film 42, the bare chip 34 and the chip 36, and the multilayer-interconnection substrate 53 are held through the anisotropy electric conduction film 42 at one. Moreover, in the case of this semiconductor device 50, therefore, the field side where a bare chip 34 and a chip 36 counter with the field in which electrode 36A of the circuit side 34A side of the bare chip 34 concerned, the field 34B side which counters, and a chip 36 is formed is covered with the epoxy resin 55.

[0037] Moreover, this semiconductor device 50 consists of so-called BGA (Ball Grid Array) by which the solder ball 56 was formed in the pitch of 0.3–1.0 [mm] extent on each land 54B prepared in field 53B of another side of the multilayer-interconnection substrate 53, and is made as [mount / it / in a mother board]. In this case, you may change land 54B by the side of field 53B of another side of the multilayer-interconnection substrate 53 into an unreserved condition, without forming the solder ball 56 in each land 54B prepared in field 53B of another side of the multilayer-interconnection substrate 53.

[0038] In the above configuration in this semiconductor device 50 Since the location of the periphery section of the anisotropy electric conduction film 42 can be arranged on the outside of a chip 36 by having arranged the bare chip 34 and the chip 36 on the anisotropy electric conduction film 42 The positioning accuracy at the time of pasting up the cutoff precision at the time of cutting out the anisotropy electric conduction film 42 from one big anisotropy electric conduction film and the end ***** anisotropy electric conduction film 42 concerned to the multilayer-interconnection substrate 53 can be sharply eased as compared with the conventional semiconductor device. Therefore, since it does not depend for spacing of a bare chip 34 and a chip 36 on the cutoff precision of the anisotropy electric conduction film 42, and the positioning accuracy over the multilayer-interconnection substrate 53, as compared with the conventional semiconductor device, spacing of a bare chip 34 and a chip 36 can be narrowed sharply.

[0039] Moreover, in this semiconductor device 50, since a bare chip 34 and a chip 36 can be mounted to the multilayer-interconnection substrate 53 by the same approach by having arranged the bare chip 34 and the chip 36 on the anisotropy electric conduction film 42, while being able to simplify a mounting process as compared with the conventional mounting approach, mounting time amount can be shortened sharply. Moreover, since a bare chip 34 and a chip 36 are electrically connected with land 54A to which the multilayer-interconnection substrate 53 corresponds through conductive particle 42A in the anisotropy electric conduction film 42, a bare chip 34 and a chip 36 are connectable with this semiconductor device 50 by land 54A and low resistance to which the multilayer-interconnection substrate 53 corresponds.

[0040] Moreover, in this semiconductor device 50, while being able to lightweightize the part and semiconductor device 50 which are not using solder by having arranged the bare chip 34 and the chip 36 on the anisotropy electric conduction film 42, in case disposal of the semiconductor device 50 concerned is carried out, abandonment of solder can be prevented. Moreover, in this semiconductor device 50, since the nickel/Au plating layer 38 is formed on each land 54A prepared in one field 53A of the multilayer-interconnection substrate 53, while being able to reduce connection resistance with a bare chip 34 and a chip 36, and the multilayer-interconnection substrate 53, conductivity with electrode 36A of each pad 35 of each land 54A of the multilayer-interconnection substrate 53 and a bare chip 34 and a chip 36 can be raised.

[0041] Moreover, in this semiconductor device 50, since packaging density of a semiconductor device 50 can be made into high density as compared with the conventional semiconductor device, the packaging density of the semiconductor device 50 to a mother board can be raised. Furthermore, with this semiconductor device 50, since the bare chip 34 and the chip 36 are therefore covered by the epoxy resin 55, a semiconductor device 50 can be protected from the exterior.

[0042] According to the above configuration, by having arranged the bare chip 34 and the chip 36 on the anisotropy electric conduction film 42 Since the positioning accuracy at the time of pasting up the cutoff precision at the time of cutting out the anisotropy electric conduction film 42 from one big anisotropy electric conduction film and the end ***** anisotropy electric conduction film 42 concerned to the multilayer-interconnection substrate 53 can be sharply eased as compared with the conventional semiconductor device Spacing with the chip 36 arranged around a bare chip 34 and the bare chip 34 concerned as compared with the conventional semiconductor device can be narrowed sharply. The semiconductor device 50 of a low noise which can therefore carry out high density assembly to a simple process in this way is realizable.

[0043] (3) Although the mounting substrate 30 with which the bare chip 34 and the chip 36 have been arranged on the anisotropy electric conduction film 42 was described in other examples, in addition above-mentioned examples As this invention is shown not only in this but in drawing 4, the field [in which electrode 36A of the circuit side 34A side of a bare chip 34, the field side which counters, and a chip 36 is formed], and field side which counters For example, even if it makes it cover therefore to an epoxy resin 61, the same effectiveness as an above-mentioned example can be acquired.

[0044] The process which forms this epoxy resin 61 is performed by stiffening it, after the liquefied resin (for example, epoxy resin) of the hypoviscosity after performing the process shown in drawing 2 (C) is dropped using a dispenser etc. on the field in which electrode 36A of circuit side 34A of a bare chip 34, the field which counters, and a chip 36 is formed, and the field which counters. Thereby, since the closure of a bare chip 34 and the chip 36 is therefore carried out to an epoxy resin 61, the mounting substrate 30 can be protected from the exterior.

[0045] Moreover, in an above-mentioned example, although the case where this invention was applied to the semiconductor device 50 which consists of chip-size packages was described, as shown in drawing 5 which attaches and shows the same sign to a corresponding point not only with this but drawing 3, even if this invention applies this invention to the semiconductor device 70 of a multi chip module mold, it can acquire the same effectiveness as an above-mentioned example.

[0046] As shown in drawing 5, a semiconductor device 70 Electrode 36A of each pad 35 of a bare chip 34, and a chip 36, Corresponding land 74A prepared in one field 73A of the multilayer-interconnection substrate 73 with which it comes to carry out laminating formation of the glass epoxy group plate 71 and the predetermined circuit pattern layer 72 by turns By being electrically joined through conductive particle 42A in the anisotropy electric conduction film 42, the bare chip 34 and the chip 36 are mounted and constituted by one field 73A of the multilayer-interconnection substrate 73. In this case, therefore, a bare chip 34 and a chip 36 may be closed to an epoxy resin 61 like the above-mentioned semiconductor device 50.

[0047] Moreover, in the case of this semiconductor device 70, it consists of so-called BGA by which the solder ball 75 which becomes by Cu was formed in the predetermined pitch on each land 74B of the multilayer-interconnection substrate 73 prepared in 73B on the other hand, and is made as [mount / it / in a mother board]. You may change each land 74B by the side of field 73B of another side of the multilayer-interconnection substrate 73 into an unreserved condition, without forming the solder ball 75 here on each land 74 of the multilayer-interconnection substrate 73 prepared in 73B on the other hand.

[0048] As furthermore shown in drawing 6, in a semiconductor device 70, it may replace with the solder ball 75 and field 73B of another side of the multilayer-interconnection substrate 73 may be equipped with the pin mold connector 76. In this case, the pin mold connector 76 is electrically connected with each land 74B prepared in field 73B of another side of the multilayer-interconnection substrate 73. Therefore, in case a semiconductor device 70 is mounted in a mother board, while being able to deal with the semiconductor device 70 concerned easily, the semiconductor device 70 concerned is easily exchangeable. This pin mold connector 76 can be applied also to a semiconductor device 50, and can acquire the same effectiveness.

[0049] Moreover, in an above-mentioned example, after mounting a bare chip 34 in a mother board 31,

the case where a chip 36 was mounted in a mother board 31 was described, but after mounting not only this but the chip 36 in a mother board 31, this invention can acquire the same effectiveness as an above-mentioned example, even if it is made to mount a bare chip 34 in a mother board 31. Moreover, in an above-mentioned example, although the case where a bare chip 34 and a chip 36 were separately mounted in a mother board 31 was described, this invention may bundle up not only this but a bare chip 34 and a chip 36, and may mount them in a mother board 31. In this case, since a bare chip 34 and a chip 36 can be mounted in a mother board 31 at the same process, while being able to simplify a mounting process much more, mounting time amount can be shortened much more.

[0050] Moreover, although the case where carried out thermocompression bonding of a bare chip 34 and the chip 36 to the mother board 31, and they were mounted in it was described in the above-mentioned example after carrying out temporary attachment of a bare chip 34 and the chip 36 at a mother board 31 at the temperature below the glass transition point temperature of the anisotropy electric conduction film 42 This invention not only this but a bare chip 34 and a chip 36 to a mother board 31 at the temperature below the glass transition point temperature of the anisotropy electric conduction film 42 A tack welding opium poppy, After ******, these bare chips 34 and a chip 36 are put in block, and it may be made to carry out thermocompression bonding of the continuity test and operation test of a bare chip 34 and a chip 36. Thereby, generating of the defective of the mounting substrate 30 can be prevented beforehand.

[0051] moreover, it sets in the above-mentioned example, although the case where thermocompression bonding of a bare chip 34 and the chip 36 was carried out to the anisotropy electric conduction film 42 on the sticking-by-pressure temperature of 100–240 [**], the sticking-by-pressure time amount of 5–40 [a second], and the thermocompression bonding conditions of the pressure of extent per [5–10] one bump [g] was described As long as this invention can, in short, carry out thermocompression bonding of a bare chip 34 and the chip 36 to the anisotropy electric conduction film 42 not only in this, it may carry out thermocompression bonding of a bare chip 34 and the chip 36 to the anisotropy electric conduction film 42 on various thermocompression bonding conditions.

[0052] Moreover, in an above-mentioned example, as a wiring substrate with which the land corresponding to each electrode of two or more electronic parts was prepared in one field, although the case where a mother board 34, the multilayer-interconnection substrate 53, and the multilayer-interconnection substrate 73 were used was described This invention as a wiring substrate with which the land corresponding to each electrode of two or more electronic parts was prepared in one [not only this but] field Organic wiring substrates, such as a paper epoxy group plate, an aramid substrate, a polyimide substrate, and a bismaleido triazine (BT)-resin substrate, Various wiring substrates, such as wiring substrates, such as Cu / polyimide wiring substrate on ceramic multilayer-interconnection substrates, such as an alumina, a mullite, and a glass ceramic, and a silicon substrate, can be applied.

[0053] Moreover, although the case where the anisotropy electric conduction film 42 was used as an anisotropy conductive member which holds each electronic parts and a wiring substrate to one was described while joining each electrode of each electronic parts to the land to which a wiring substrate corresponds, respectively in the above-mentioned example While this invention joins each electrode of not only this but each electronic parts to the land to which a wiring substrate corresponds, respectively As an anisotropy conductive member which holds each electronic parts and a wiring substrate to one, for example, the paste-like anisotropy electric conduction film with which it comes to mix a thermosetting epoxy resin, thermoplastic rubber system resin, a conductive particle, and a solvent, For example, the anisotropy electric conduction film with which metal particles, such as Au and nickel, were distributed may be used. When using a paste-like anisotropy conductive member, it may form in one field 34A of a mother board 31 using screen printing, or may be directly dropped at a plane of composition using a dispenser etc.

[0054] Moreover, although the case where epoxy resins 55 and 61 were used as insulating resin which covers the field [in which the electrode of each electronic parts is prepared], and field side which

counters in an above-mentioned example was described, in addition to this, this invention can apply various insulating resin as insulating resin which covers the field [in which the electrode of not only this but each electronic parts is prepared], and field side which counters. In a further above-mentioned example, although the case where the solder balls 56 and 75 and the pin mold connector 76 were used as an electrical connecting means established on the land was described, in addition to this, this invention can apply various electrical connecting means as an electrical connecting means established not only this but on the land.

[0055]

[Effect of the Invention] Since it does not depend for spacing of each electronic parts on the cutoff precision of an anisotropy conductive member, and the positioning accuracy over a wiring substrate by having held each electronic parts and a wiring substrate to one while joining each electrode of each electronic parts to the land to which a wiring substrate corresponds, respectively through an anisotropy conductive member as mentioned above according to this invention, arrangement spacing of each electronic parts can be narrowed sharply. The mounting substrate, the electronic-parts mounting approach, and semiconductor device which can carry out high density assembly in this way are realizable.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the approximate cross-sectional view (A) and approximate line-plan (B) showing one example of the mounting substrate by this invention.

[Drawing 2] It is the approximate cross-sectional view showing one example of the production process of the mounting substrate by this invention.

[Drawing 3] It is the approximate cross-sectional view showing one example of the semiconductor device by this invention.

[Drawing 4] It is the approximate cross-sectional view showing the mounting substrate by other examples.

[Drawing 5] It is the approximate cross-sectional view showing the semiconductor device by other examples.

[Drawing 6] It is the approximate cross-sectional view showing the semiconductor device by other examples.

[Drawing 7] It is the approximate cross-sectional view (A) and approximate line-plan (B) showing the conventional mounting substrate.

[Drawing 8] It is the approximate cross-sectional view (A) and approximate line-plan (B) showing the conventional mounting substrate using an anisotropy electric conduction film.

[Description of Notations]

30 [.. A pad, 36 / .. A chip, 37A, 37B / .. A land, 40 / .. A bump, 42 / .. 50 An anisotropy electric conduction film 70 / .. 53 A semiconductor device, 73 / .. 55 A wiring substrate, 61 / .. 56 An epoxy resin, 75 / .. A solder ball, 76 / .. Pin mold connector.] A mounting substrate, 31 .. A mother board, 34 .. A bare chip, 35

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号:

特開平10-4126

(43)公開日: 平成10年(1998)1月6日

(51)Int.Cl.⁸
H 01 L 21/60
23/12
H 05 K 3/32
3/46

識別記号 広内整理番号
311

F I
H 01 L 21/60
H 05 K 3/32
3/46
H 01 L 23/12

技術表示箇所
311 S
B
Q
F
L

審査請求:未請求 請求項の数7 FD (全 9 頁)

(21)出願番号 特願平8-175646

(22)出願日 平成8年(1996)6月14日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 奥洞 明彦

東京都品川区北品川6丁目7番35号ソニー
株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 実装基板、電子部品実装方法及び半導体装置

(57)【要約】

【課題】ノイズ対策及び高密度実装する点において、各電子部品の配置間隔を実用上十分に近づけることが困難な問題があった。

【解決手段】異方性導電部材(42)を介して各電子部品(34、36)の各電極(35、36A)をそれぞれ配線基板(31)の対応するランド(37A)に接合すると共に、各電子部品(34、36)と配線基板(31)とを一体に保持する。これにより、各電子部品(34、36)の間隔は異方性導電部材(42)の切取り精度及び配線基板(31)に対する位置決め精度に依存しないので、各電子部品(34、36)の配置間隔を大幅に狭めることができる。かくして高密度実装し得る実装基板(30)、電子部品実装方法及び半導体装置を実現することができる。

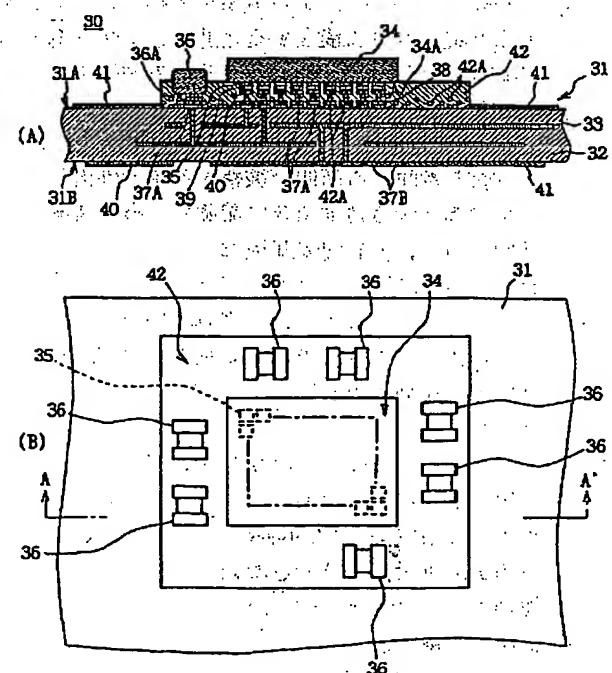


図1 実施例による実装基板の構成

(2)

1

【特許請求の範囲】

【請求項1】複数の電子部品と、

一方の面上に上記複数の電子部品の各電極に対応したランドが設けられた配線基板と、

上記各電子部品の上記各電極をそれぞれ配線基板の対応する上記ランドに接合すると共に、上記各電子部品と上記配線基板とを一体に保持する異方性導電部材とを具えることを特徴とする実装基板。

【請求項2】上記各電子部品の上記各電極が設けられている面と対向する面側を被覆する絶縁性樹脂を具えることを特徴とする請求項1に記載の実装基板。

【請求項3】複数の電子部品の各電極に対応させて一方の面上にランドが設けられた配線基板を作製する第1の工程と、

上記複数の電子部品の上記各電極をそれぞれ異方性導電部材を介して上記配線基板の対応する上記ランドに接合すると共に、上記異方性導電部材を介して上記複数の電子部品及び上記配線基板を一体に保持する第2の工程とを具えることを特徴とする電子部品実装方法。

【請求項4】上記各電子部品の上記各電極が設けられている面と対向する面側から絶縁性樹脂を滴下することにより、当該絶縁性樹脂によつて上記複数の電子部品を被覆する第3の工程を具えることを特徴とする請求項3に記載の電子部品実装方法。

【請求項5】配線基板の一方の面上に実装される半導体装置において、複数の電子部品と、

一方の面上に上記複数の電子部品の各電極に対応したランドが設けられた配線基板と、

上記各電子部品の上記各電極をそれぞれ配線基板の対応する上記ランドに接合すると共に、上記各電子部品と上記配線基板とを一体に保持する異方性導電部材とを具えることを特徴とする半導体装置。

【請求項6】上記各電子部品の上記各電極が設けられている面と対向する面側を被覆する絶縁性樹脂を具えることを特徴とする請求項5に記載の半導体装置。

【請求項7】上記配線基板は、
他方の面上に設けられたランドと、
上記ランド上に設けられた電気的接続手段とを具えることを特徴とする請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術(図7及び図8)

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

(1) 第1実施例(図1及び図2)

(2) 第2実施例(図3)

2

(3) 他の実施例(図4~図6)

発明の効果

【0002】

【発明の属する技術分野】本発明は実装基板、電子部品実装方法及び半導体装置に関し、例えば多層配線基板の一方の面上にペアチップ及びチップ部品が実装されてなる実装基板、電子部品実装方法及び半導体装置に適用して好適なものである。

【0003】

【従来の技術】従来、エンジニアリングワークステーション(Engineering Work Station、EWS)やパーソナルコンピュータ等の情報処理装置においては、並列処理化の促進及びクロック速度の高速化によつて処理能力が向上していると同時に、半導体集積化技術及び実装技術の向上に伴つて、この種の情報処理装置は小型化されてきている。

【0004】またこの種の情報処理装置においては、取り扱う情報量が増加し、これに伴つてシステムクロックも高速化している。さらにセルラ電話、ISDN(Integrated Services Digital Network、総合デジタル通信サービス網)やパーソナルコンピュータ等の情報通信(ネットワーク)技術の向上に伴つて、様々な機器に高周波通信プロトコルや光速シリアルインターフェース等が用いられている。

【0005】このように特に情報処理分野や情報通信分野では、情報のデジタル化及び信号の高速化に伴つてシステムが変化しており、上述のようなパーソナルコンピュータ等の機器に用いられる高周波回路プロトコルにおける低ノイズ化及び機器の小型化が望まれている。このような要望を実現するため、半導体チップの実装方法として、マルチチップモジュール(Multichip Module、MCM)やフリップチップ実装等のペアチップ実装が利用されている。

【0006】通常、ペアチップを用いたフリップチップ実装においては、当該ペアチップの回路面に形成された複数の電極(以下、これをパッドと呼ぶ)上にそれぞれはんだ等でなるバンプを形成した後、ペアチップの回路面とマザーボードの一方の面とを対向させてペアチップの各バンプをそれぞれマザーボードの一方の面上に配設された対応するランドに接合させることにより、当該マザーボードの一方の面上にペアチップを実装するようになされている。

【0007】なおペアチップが実装されるマザーボードとしては、通常、ガラスエポキシ又はガラズボリイミド等の有機基板と所定の配線パターンとが順次積層されてなる多層配線基板、アルミニウム又はムライト等のセラミック基板と所定の配線パターンとが順次積層形成されてなる多層配線基板又はシリコン基板の一方の面上に銅等でなる所定の配線パターン層とポリイミド層とが順次積層形成されてなる多層配線基板等が用いられる。

(3)

3

【0008】このフリップチップによる実装としては、ペアチップのパッド上に高融点はんだでなるバンプを形成し、マザーボード上にはんだプリコートを行うことにより、ペアチップの各パッドとマザーボードの対応する各ランドとを接続するはんだフリップチップ法や、ペアチップの各パッド上にAu(金)ワイヤボンディング法を用いてAuバンプを形成し、Ag(銀)ペースト等の導電性ペーストをバンプ上に適量だけ転写した後、ペアチップをマザーボード上に直接マウントする導電性樹脂フリップチップ法などがある。

【0009】ここでははんだフリップチップ実装によつてマザーボードの一方の面にペアチップが実装された実装基板の一例を図7に示す。図7(A)及び図7(B)に示すように、この実装基板1においては、ペアチップ2の回路面2Aの最外周に沿つて所定ピッチに複数設けられたパッド3と、これら各パッド3に対応してマザーボード4の一方の面4Aに設けられたランド5とが例えば高融点はんだでなるバンプ6を介して接合することにより、当該マザーボード4の一方の面4Aにペアチップ2が実装されている。またこの実装基板1においては、抵抗やコンデンサ等のノイズ対策部品であるチップ部品7がはんだ8によってマザーボード4の一方の面4Aに対応するランド5に実装されている。

【0010】この場合、マザーボード4はセラミック基板9と銅等でなる所定の配線パターン層10とが交互に積層形成されてなり、当該マザーボード4の一方の面4A及び他方の面4Bの所定の領域にはソルダレジスト11が形成されている。またマザーボード4の一方の面4Aの各ランド5上には例えば共晶はんだでなるはんだプリコート層12が形成されている。これにより、この実装基板1においては、リフロー時、高融点はんだは溶融せず、かつ共晶はんだが溶融する程度の温度ではんだプリコート層12がリフローされ、溶融したはんだプリコート層12が各バンプ6に溶着される。

【0011】またこの実装基板1においては、マザーボードの一方の面4Aにペアチップ2が実装された後、当該マザーボード4の一方の面4Aとペアチップ2の回路面2Aとの間の間隙に絶縁性樹脂13が充填されてペアチップ2が封止される。これにより、マザーボード4とペアチップ2との熱膨張係数の違いに起因して各バンプ6に応力が集中することにより生ずる各バンプ6の破損を防止するようになされている。

【0012】ここで図7(B)に示すように、ペアチップ2の周囲には絶縁性樹脂13を封入したときチップ部品7が絶縁性樹脂13によって固着することを防止するための部品搭載禁止領域14が形成されている。この場合、絶縁性樹脂13を封入する側の部品搭載禁止領域14Aは、当該絶縁性樹脂13を封入する封入口となるため大きく形成されている。

【0013】ところがこのように絶縁性樹脂13によつ

てペアチップ2を封止する必要があるフリップチップ実装の場合、上述のように部品搭載禁止領域14を設ける必要があるため、その分ペアチップ2とチップ部品7との配置間隔が大きくなり、この結果実装密度が低下すると共にノイズの低減化を損なうおそれがある。特にデジタル回路の場合にはペアチップ2にノイズ対策部品であるデカップリングコンデンサや終端抵抗を実装する場合多いため、絶縁性樹脂13による封止が必要なフリップチップ実装を行つた場合には、実装密度が低下すると共にノイズの低減化を損なうおそれがある。

【0014】そこでこのような問題を解決するための1つの方法として、異方性導電フィルム(Anisotropic Conductive Film、ACF)を用いたフリップチップ実装法が提案されている。ここで異方性導電フィルム(接着剤)を用いた実装基板の一例を図7との対応部分に同一符号を付して示す図8に示す。

【0015】この実装基板20においては、各パッド3上に例えばAuワイヤボンディング法を用いてAuバンプ21が形成されたペアチップ2の回路面2Aを、マザーボード4の一方の面4Aにパッド3に対応して設けられた各ランド5を覆うように接着された異方性導電フィルム22に対して、例えば100～240[℃]の圧着温度、50～40[秒]の圧着時間、1バンプ当たり5～100[g]の圧力で熱圧着することにより、マザーボード4の一方の面4Aにペアチップ2が実装されている。

【0016】この場合、ペアチップ2においては、回路面2Aに設けられた各パッド3上には、例えばチタン、白金、金でなる金属被膜層が順次積層形成されてなるBLM(Ball Limiting Metal)膜層23が形成されており、当該各BLM膜層23上にそれぞれAuバンプ21が形成されている。このBLM膜層23はAuバンプ21のパッド3への拡散を防止するようになされている。ここでこの実装基板20においては、各バンプ21が異方性導電フィルム22中に均一に分散された導電性粒子22Aを介してマザーボード4の各ランド5に接合されることにより、ペアチップ2の各パッド3とマザーボード4の対応するランド5が電気的に接合するようになされている。

【0017】

【発明が解決しようとする課題】ところでこの異方性導電フィルムを用いたフリップチップ実装法では、マザーボード4の一方の面4Aに異方性導電フィルム22を位置合わせて仮付けを行う際、ノイズ対策チップ部品7をできる限りペアチップ2の近傍に配設すれば、高密度実装及びノイズの低減化を実現することができると考えられる。

【0018】ところがかかる方法によつてペアチップ2及びチップ部品7をマザーボード4に実装する場合、異方性導電フィルムの周縁部の位置がペアチップ2とチップ部品7との間に配置されるように、異方性導電フィル

(4)

5

ム22を大きな異方性導電フィルムから切り取る必要があると共に、切り取った異方性導電フィルム22をマザーボード4に対して位置決めしなければならない。この場合、互いに隣り合うペアチップ2及びチップ部品7は、大きな異方性導電フィルムから各ペアチップ2に対応した大きさの異方性導電フィルム22を切り取る際に生ずる寸法誤差と、当該切り取られた異方性導電フィルム22をマザーボード4の一方の面4Aに接着する際の位置決め誤差を考慮して、これら寸法誤差及び位置決め誤差よりも大きな間隔で配置しなければならず、ノイズ対策及び高密度実装する点においてペアチップ2とチップ部品7との配置間隔を実用上十分に近づけることが困難な問題があつた。

【0019】本発明は以上の点を考慮してなされたもので、高密度実装し得る実装基板、電子部品実装方法及び半導体装置を提案しようとするものである。

【0020】

【課題を解決するための手段】かかる課題を解決するため本発明においては、異方性導電部材を介して各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する。異方性導電部材上に各電子部品が配置されるので、各電子部品の間隔は異方性導電部材の切取り精度及び配線基板に対する位置決め精度に依存せず、各電子部品の配置間隔を大幅に狭めることができる。

【0021】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0022】(1) 第1実施例

図1において、30は全体として実装基板を示し、マザーボード31はガラスエポキシ基板32と所定の配線パターン層33とが交互に積層形成されてなる。このマザーボード31の一方の面31Aには、電子部品としてのペアチップ34の回路面34Aに設けられた各パッド35と、当該ペアチップ34の周囲に配置された電子部品としてのチップ部品36の一方の面に設けられた電極36Aとにそれぞれ対応したランド37Aが、例えばCu(銅)箔をエッティングすることにより形成されている。またマザーボード31の他方の面31Bにも例えばCu箔をエッティングすることにより複数のランド37Bが形成されている。

【0023】また各ランド37A上にはニッケル(Ni)/金(Au)めつき層38が形成されており、これによりペアチップ34の各パット35上にBLM膜層39を介して形成されたAuバンプ40とランド37Aとの接続抵抗を低下させると共に、Auバンプ40とランド37Aとの導電性を向上させ得るようになされている。またマザーボード34の一方の面34A及び他方の面34Bの所定の領域にはソルダレジスト41が形成されている。

6

【0024】ペアチップ34の回路面34Aには当該回路面34Aの最外周に沿つて例えばA1、A1Si又はA1SiCuでなるパット35が複数設けられており(図1(B))、当該各パット35上にはそれぞれBLM膜層39が形成されている。またBLM膜層39上にはそれぞれAuバンプ40が形成されており、このBLM膜層39はAuバンプ40のパット35への拡散を防止し得るようになされている。

【0025】ここでマザーボード31の一方の面31Aには、所定の厚みでなる接着フィルム状の異方性導電フィルム42が各ランド37Aを覆うように接着されており、この異方性導電フィルム42はマザーボード31、ペアチップ34及びチップ部品36を一体に保持するようになされている。この異方性導電フィルム42中には、プラスチックボールに例えばAu及びNi等がめつきされた直径約2~10[μm]の導電性粒子42Aが均一に分散されており、ペアチップ34の各バンプ35とチップ部品36の電極36Aとはこの導電性粒子42Aを介してマザーボード31の対応するランド37Aに電気的に接合されている。

【0026】また図1(B)に示すように、異方性導電フィルム42の大きさは、ペアチップ34及び当該ペアチップ34の周囲に配置されるチップ部品36を当該異方性導電フィルム42を介してマザーボード31の一方の面31Aに実装し得るような大きさに選定されている。

【0027】ここでマザーボード31の一方の面31Aにペアチップ34及びチップ部品36を実装する工程を図2に示す。まずペアチップ34の回路面34Aに設けられた各パット35のBLM膜層39上に、例えばワイヤボンディングツールを用いてAuバンプ40を形成する。続いてマザーボード31を作製した後、当該マザーボード31の他方の面31Bを所定の支持装置43によって支持した状態で、マザーボード31の一方の面31Aに、各ランド37Aを覆うような所定の大きさでなる異方性導電フィルム42を仮付けする。この場合、異方性導電フィルム42のガラス転移点温度以下の温度で当該異方性導電フィルム42をマザーボード31の一方の面31Aに仮付けする(図2(A))。

【0028】続いてペアチップ34の回路面34Aに向向する他方の面34Bを所定の吸着装置44で吸着し、ペアチップ34の回路面34Aをマザーボード31の一方の面31Aに向向させると共に、ペアチップ34の各パット35をマザーボード31の対応する各ランド37Aに位置決めした後、100~240[°C]の圧着温度、5~40[秒]の圧着時間、1パンプ当たり5~100[g]程度の圧力の熱圧着条件でペアチップ34を異方性導電フィルム42に対して熱圧着する(図2(B))。

【0029】次にチップ部品36の電極36Aをマザーボード31の対応するランド37Aに位置決めした後、

(5)

7
加熱ヘッドを有するツール(図示せず)を用いて上述の熟圧着条件でチップ部品36を異方性導電フィルム42に対して熟圧着させることにより、当該チップ部品36をマザーボード31の一方の面31Aに固定させる(図2-(C))。このときペアチップ34の各パッド35に設けられたバンプ39及びチップ部品36の電極36Aと、マザーボード31の対応するランド37Aとは、異方性導電フィルム42中に存在する導電性粒子42Aを介して電気的に接合される。かくしてマザーボード31の一方の面31Aにペアチップ34及びチップ部品36が機械的及び電気的に実装される。

【0030】以上の構成において、この実装基板30では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、異方性導電フィルム42の周縁部の位置を、チップ部品36の外側に配置することができるので、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取った異方性導電フィルム42をマザーボード31に対して接着する際の位置決め精度を従来の実装基板20に比して大幅に緩和することができる。従つてペアチップ34とチップ部品36との間隔は異方性導電フィルム42の切り取り精度及びマザーボード31に対する位置決め精度に依存しないので、従来の実装基板20に比してペアチップ34とチップ部品36との間隔を大幅に狭くすることができる。

【0031】またこの実装基板30では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、ペアチップ34とチップ部品36と同じ方法でマザーボード31に実装し得るので、従来の実装基板1及び20のようにペアチップとは別個の方法でチップ部品を実装する場合に比して、実装工程を簡易化し得ると共に実装時間を短縮することができる。

【0032】またこの実装基板30では、ペアチップ34及びチップ部品36は異方性導電フィルム42中の導電性粒子42Aを介してマザーボード31の対応するランド37Aと電気的に接続されるので、ペアチップ34及びチップ部品36をマザーボード31の対応するランド37Aと低抵抗で接続することができる。またこの実装基板30では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、はんだを使用していない分、実装基板30を軽量化し得ると共に、当該実装基板30を廃棄処分する際にはんだの廃棄を防止することができる。

【0033】さらにこの実装基板30では、マザーボード31の一方の面31Aに設けられた各ランド37A上にNi/Auめつき層38が形成されているので、ペアチップ34及びチップ部品36とマザーボード31との接続抵抗を低下させることができると共に、マザーボード31の各ランド37Aとペアチップ34の各パッド35及びチップ部品36の電極36Aとの導電性を向上さ

8
せることができる。

【0034】以上の構成によれば、ペアチップ34の各パッド35とチップ部品36の電極36Aとをそれぞれ異方性導電フィルム42を介してマザーボード31の対応するランドに接合すると共に、異方性導電フィルムを介してペアチップ34及びチップ部品36とマザーボード31とを一体に保持したことにより、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取った異方性導電フィルム42をマザーボード31に対して接着する際の位置決め精度を従来の実装基板20に比して大幅に緩和することができる。従来の実装基板20に比してペアチップ34と当該ペアチップ34の周囲に配置されるチップ部品36との間隔を大幅に狭くすることができる。またペアチップ34及びチップ部品36と同じ方法でマザーボード31に対して実装し得るので、実装工程を簡単にできる。かくして簡易な工程によつて高密度実装し得る低ノイズの実装基板30及び実装方法を実現することができる。

【0035】(2) 第2実施例

図1との対応部分に同一符号を付して示す図3において、50は全体として半導体装置を示し、ペアチップ31及びチップ部品36が異方性導電フィルム42を介して、ガラスエポキシ基板51及び所定の配線パターン層52が交互に積層形成されてなる多層配線基板53の一方の面53Aに実装されたチップサイズパッケージで構成されている。

【0036】この半導体装置50は、ペアチップ34の各パッド35上に設けられたAuバンプ39とチップ部品36の電極36Aとは、異方性導電フィルム42中に存在する導電性粒子42Aを介して多層配線基板53の一方の面53Aに設けられた対応するランド54Aに電気的に接合されると共に、異方性導電フィルム42を介してペアチップ34及びチップ部品36と多層配線基板53とが一体に保持されている。またこの半導体装置50の場合、ペアチップ34及びチップ部品36は、当該ペアチップ34の回路面34Aと対向する面34B側及びチップ部品36の電極36Aが形成される面と対向する面側がエポキシ樹脂55によつて覆われている。

【0037】またこの半導体装置50は、多層配線基板53の他方の面53Bに設けられた各ランド54B上に、0.3~1.0 [mm]程度のピッチではんだボール56が形成されたいわゆるBGA(Ball Grid Array)で構成されており、マザーボードに実装し得るようになされている。この場合、多層配線基板53の他方の面53Bに設けられた各ランド54Bにはんだボール56を形成せずに、多層配線基板53の他方の面53B側のランド54Bを剥き出しの状態にしてもよい。

【0038】以上の構成において、この半導体装置50では、異方性導電フィルム42上にペアチップ34及び

(6)

9

チップ部品36を配置したことにより、異方性導電フィルム42の周縁部の位置を、チップ部品36の外側に配置することができるので、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取つた異方性導電フィルム42を多層配線基板53に対して接着する際の位置決め精度を従来の半導体装置に比して大幅に緩和することができる。従つてペアチップ34とチップ部品36との間隔は異方性導電フィルム42の切り取り精度及び多層配線基板53に対する位置決め精度に依存しないので、従来の半導体装置に比してペアチップ34とチップ部品36との間隔を大幅に狭くすることができる。

【0039】またこの半導体装置50では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、ペアチップ34とチップ部品36と同じ方法で多層配線基板53に対して実装し得るので、従来の実装方法に比して実装工程を簡易化し得ると共に実装時間を大幅に短縮することができる。またこの半導体装置50では、ペアチップ34及びチップ部品36は異方性導電フィルム42中の導電性粒子42Aを介して多層配線基板53の対応するランド54Aと電気的に接続されるので、ペアチップ34及びチップ部品36を多層配線基板53の対応するランド54Aと低抵抗で接続することができる。

【0040】またこの半導体装置50では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、はんだを使用していない分、半導体装置50を軽量化し得ると共に、当該半導体装置50を廃棄処する際にはんだの廃棄を防止することができる。またこの半導体装置50では、多層配線基板53の一方の面53Aに設けられた各ランド54A上にNi/Auめつき層38が形成されているので、ペアチップ34及びチップ部品36と多層配線基板53との接続抵抗を低下させることができると共に、多層配線基板53の各ランド54Aとペアチップ34の各パット35及びチップ部品36の電極36Aとの導電性を向上させることができる。

【0041】またこの半導体装置50では、半導体装置50の実装密度を従来の半導体装置に比して高密度にし得るので、マザーボードに対する半導体装置50の実装密度を向上させることができる。さらにこの半導体装置50では、ペアチップ34及びチップ部品36がエポキシ樹脂55によつて被覆されているので、半導体装置50を外部から保護することができる。

【0042】以上の構成によれば、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取つた異方性導電フィルム42を多層配線基板53に対して接着する際の位置決め精度を従来の半導体裝

10

置に比して大幅に緩和することができるので、従来の半導体装置に比してペアチップ34と当該ペアチップ34の周囲に配置されるチップ部品36との間隔を大幅に狭くすることができる。かくして簡易な工程によつて高密度実装し得る低ノイズの半導体装置50を実現することができる。

【0043】(3) 他の実施例

なお上述の実施例においては、異方性導電フィルム42上にペアチップ34及びチップ部品36が配置された実装基板30について述べたが、本発明はこれに限らず、図4に示すように、ペアチップ34の回路面34Aと対向する面側及びチップ部品36の電極36Aが形成されている面と対向する面側を、例えばエポキシ樹脂61によつて被覆するようにしても上述の実施例と同様の効果を得ることができる。

【0044】このエポキシ樹脂61を形成する工程は、図2(C)に示す工程を実行した後、低粘度の液状樹脂(例えばエポキシ樹脂)を、例えばディスペンサ等を用いてペアチップ34の回路面34Aと対向する面及びチップ部品36の電極36Aが形成されている面と対向する面上に滴下した後、硬化させることにより行われる。これにより、ペアチップ34及びチップ部品36がエポキシ樹脂61によつて封止されるので実装基板30を外部から保護することができる。

【0045】また上述の実施例においては、本発明をチップサイズパッケージ構成される半導体装置50に適用した場合について述べたが、本発明はこれに限らず、図3との対応部分に同一符号を付して示す図5に示すように、マルチチップモジュール型の半導体装置70に本発明を適用しても上述の実施例と同様の効果を得ることができる。

【0046】図5に示すように、半導体装置70はペアチップ34の各パット35及びチップ部品36の電極36Aと、ガラスエポキシ基板71及び所定の配線パターン層72が交互に積層形成されてなる多層配線基板73の一方の面73Aに設けられた対応するランド74Aとが、異方性導電フィルム42中の導電性粒子42Aを介して電気的に接合されることにより、多層配線基板73の一方の面73Aにペアチップ34及びチップ部品36が実装されて構成されている。この場合、上述の半導体装置50と同様にペアチップ34及びチップ部品36をエポキシ樹脂61によつて封止してもよい。

【0047】またこの半導体装置70の場合、多層配線基板73の他面73Bに設けられた各ランド74B上に所定のピッチで例えばCuでなるはんだボール75が形成されたいわゆるBG'Aで構成されており、マザーボードに実装し得るようになされている。ここで多層配線基板73の他面73Bに設けられた各ランド74B上にはんだボール75を形成せずに、多層配線基板73の他方の面73B側の各ランド74Bを剥き出しの状態にしても

(7)

11

よい。

【0048】さらに図6に示すように、半導体装置70において、はんだボール75に代えて、多層配線基板73の他方の面73Bにピン型コネクタ76を装着してもよい。この場合、ピン型コネクタ76は多層配線基板73の他方の面73Bに設けられた各ランド74Bと電気的に接続される。従つて半導体装置70をマザーボードに実装する際、当該半導体装置70を容易に取り扱うことができると共に、当該半導体装置70を容易に交換することができる。このピン型コネクタ76は半導体装置50にも適用することができ、同様の効果を得ることができる。

【0049】また上述の実施例においては、ペアチップ34をマザーボード31に実装した後、チップ部品36をマザーボード31に実装した場合について述べたが、本発明はこれに限らず、チップ部品36をマザーボード31に実装した後、ペアチップ34をマザーボード31に実装するようにしても上述の実施例と同様の効果を得ることができる。また上述の実施例においては、ペアチップ34及びチップ部品36を別個にマザーボード31に実装した場合について述べたが、本発明はこれに限らず、ペアチップ34及びチップ部品36を一括してマザーボード31に実装してもよい。この場合、ペアチップ34及びチップ部品36を同一工程でマザーボード31に実装し得るので、実装工程を一段と簡易化することができると共に、実装時間を一段と短縮することができる。

【0050】また上述の実施例においては、ペアチップ34及びチップ部品36を異方性導電フィルム42のガラス転移点温度以下の温度でマザーボード31に仮付けした後、ペアチップ34及びチップ部品36をマザーボード31に熱圧着して実装した場合について述べたが、本発明はこれに限らず、ペアチップ34及びチップ部品36を異方性導電フィルム42のガラス転移点温度以下の温度でマザーボード31に仮付けし、ペアチップ34及びチップ部品36の導通テスト及び動作テストを行つた後、これらペアチップ34及びチップ部品36を一括して熱圧着するようにしてもよい。これにより、実装基板30の不良品の発生を未然に防止することができる。

【0051】また上述の実施例においては、100～240[℃]の圧着温度、5～40[秒]の圧着時間、1パンプ当たり5～10[g]程度の圧力の熱圧着条件でペアチップ34及びチップ部品36を異方性導電フィルム42に対して熱圧着した場合について述べたが、本発明はこれに限らず、要はペアチップ34及びチップ部品36を異方性導電フィルム42に熱圧着し得れば、この他種々の熱圧着条件でペアチップ34及びチップ部品36を異方性導電フィルム42に対して熱圧着してもよい。

【0052】また上述の実施例においては、一方の面に複数の電子部品の各電極に対応したランドが設けられた

12

配線基板として、マザーボード34、多層配線基板53及び多層配線基板73を用いた場合について述べたが、本発明はこれに限らず、一方の面に複数の電子部品の各電極に対応したランドが設けられた配線基板として、紙エポキシ基板、アラミド基板、ポリイミド基板及びビスマレイドトリアジン(B.T)、レジン基板等の有機配線基板、アルミナ、ムライト及びガラスセラミック等のセラミック多層配線基板及びシリコン基板上のCu／ポリイミド配線基板などの配線基板等、この他種々の配線基板を適用し得る。

【0053】また上述の実施例においては、各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する異方性導電部材として異方性導電フィルム42を用いた場合について述べたが、本発明はこれに限らず、各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する異方性導電部材として、例えば熱硬化性エポキシ樹脂や熱可塑性のゴム系樹脂と導電性粒子と溶剤とが混合されてなるペースト状の異方性導電フィルムや、例えばAu及びNi等の金属粒子が分散された異方性導電フィルムを用いてもよい。ペースト状の異方性導電部材を用いる場合には、スクリーン印刷法を用いてマザーボード31の一方の面34Aに形成するか、又はディスペンサ等を用いて接合面に直接滴下してもよい。

【0054】また上述の実施例においては、各電子部品の電極が設けられている面と対向する面側を被覆する絶縁性樹脂としてエポキシ樹脂55及び61を用いた場合について述べたが、本発明はこれに限らず、各電子部品の電極が設けられている面と対向する面側を被覆する絶縁性樹脂としてこの他種々の絶縁性樹脂を適用し得る。さらに上述の実施例においては、ランド上に設けられた電気的接続手段としてはんだボール56、75及びピン型コネクタ76を用いた場合について述べたが、本発明はこれに限らず、ランド上に設けられた電気的接続手段としてこの他種々の電気的接続手段を適用し得る。

【0055】

【発明の効果】上述のように本発明によれば、異方性導電部材を介して各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持するようにしたことにより、各電子部品の間隔は異方性導電部材の切取り精度及び配線基板に対する位置決め精度に依存しないので、各電子部品の配置間隔を大幅に狭めることができる。かくして高密度実装し得る実装基板、電子部品実装方法及び半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明による実装基板の一実施例を示す略線的断面図(A)及び略線的上面図(B)である。

【図2】本発明による実装基板の製造工程の一実施例を

(8)

13

示す略線的断面図である。

【図3】本発明による半導体装置の一実施例を示す略線的断面図である。

【図4】他の実施例による実装基板を示す略線的断面図である。

【図5】他の実施例による半導体装置を示す略線的断面図である。

【図6】他の実施例による半導体装置を示す略線的断面図である。

【図7】従来の実装基板を示す略線的断面図(A)及び略線的上面図(B)である。

(8)

14

【図8】異方性導電フィルムを用いた従来の実装基板を示す略線的断面図(A)及び略線的上面図(B)である。

【符号の説明】

30……実装基板、31……マザーボード、34……ペアチップ、35……パッド、36……チップ部品、37A、37B……ランド、40……バンプ、42……異方性導電フィルム、50、70……半導体装置、53、73……配線基板、55、61……エポキシ樹脂、56、75……はんだボール、76……ピン型コネクタ。

10

【図1】

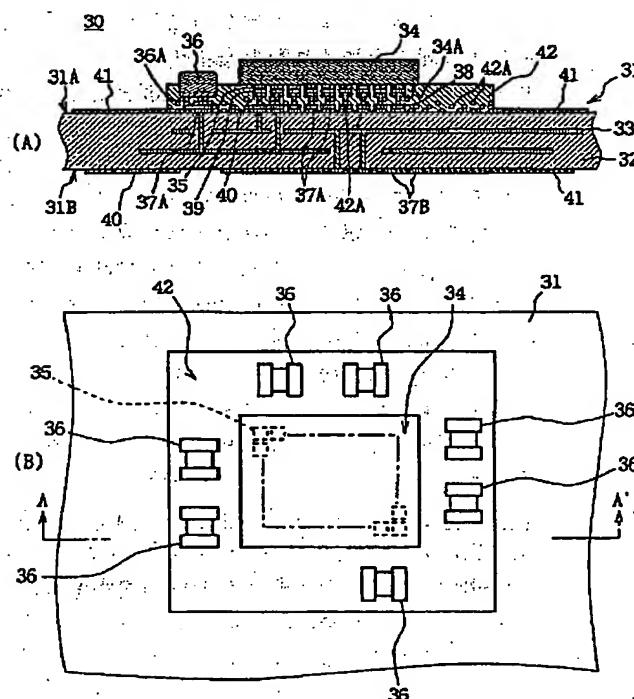


図1 実施例による実装基板の構成

【図3】

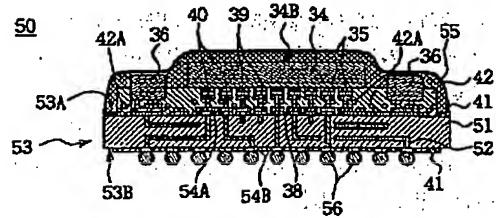


図3 実施例による半導体装置の構成

【図2】

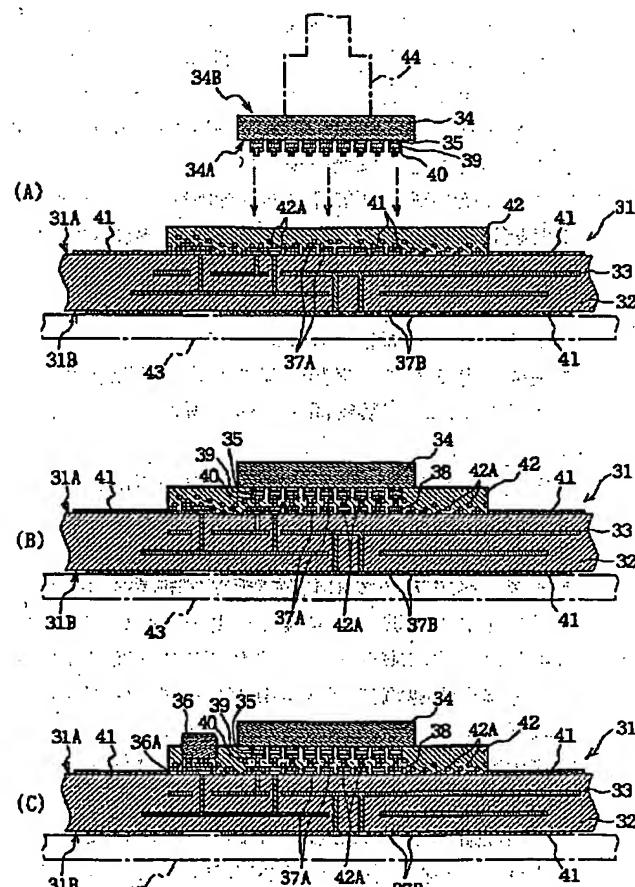


図2 実装基板の製造工程

(9)

【図4】

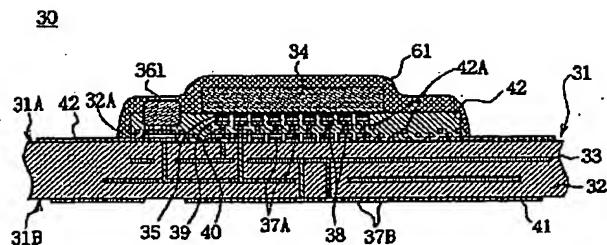


図4 他の実施例による実装基板の構成

[図5]

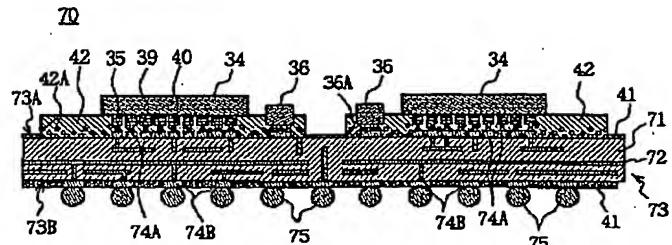


図5 他の実施例による半導体装置の構成

〔图6〕

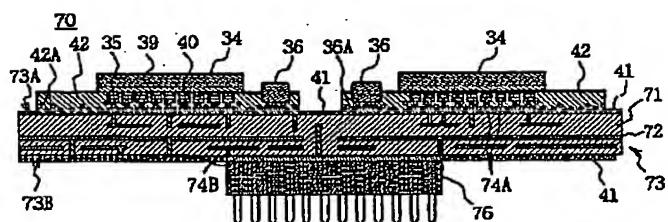
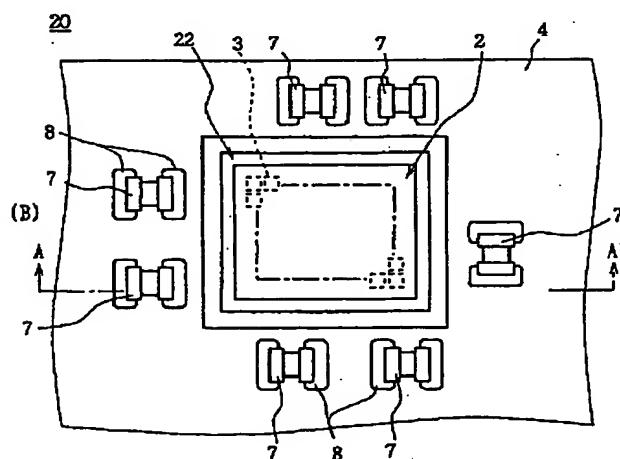
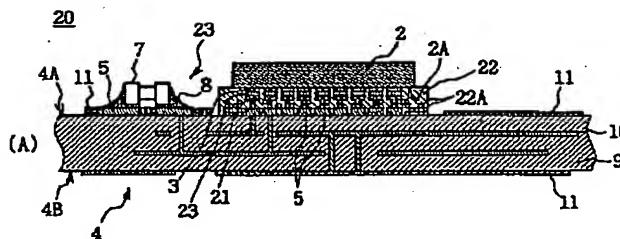


図6 他の実施例による半導体装置の構成

[図 8]



[図7]

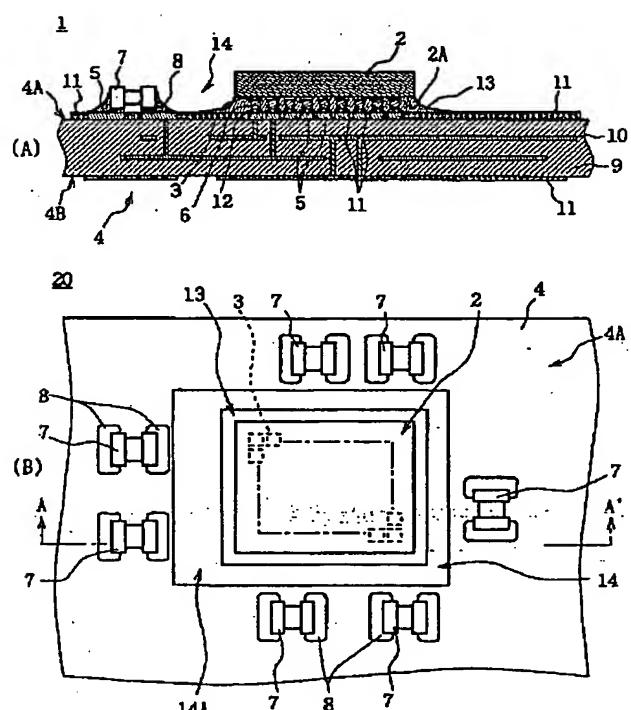


図7 従来の実装基板の一構成例

図8 異方性導電フィルムを用いた従来の実装基板の一構成例

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.